

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP05/015575

International filing date: 26 August 2005 (26.08.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-246412  
Filing date: 26 August 2004 (26.08.2004)

Date of receipt at the International Bureau: 06 October 2005 (06.10.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2004年 8月26日

出願番号 Application Number: 特願2004-246412

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

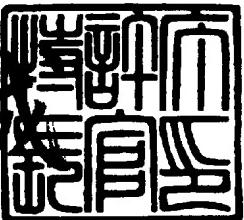
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人 Applicant(s): 松下電器産業株式会社

2005年 9月21日

特許庁長官  
Commissioner,  
Japan Patent Office

中嶋誠



【書類名】 特許願  
【整理番号】 2047560060  
【あて先】 特許庁長官 小川 洋 殿  
【国際特許分類】 H01L 21/00

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 北畠 真

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 楠本 修

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 内田 正雄

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 高橋 邦方

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 山下 賢哉

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 宮永 良子

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
【氏名】 橋本 浩一

【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社

【代理人】  
【識別番号】 100065868  
【弁理士】  
【氏名又は名称】 角田 嘉宏  
【電話番号】 078-321-8822

【選任した代理人】  
【識別番号】 100106242  
【弁理士】  
【氏名又は名称】 古川 安航  
【電話番号】 078-321-8822

【選任した代理人】  
【識別番号】 100110951  
【弁理士】  
【氏名又は名称】 西谷 俊男  
【電話番号】 078-321-8822

【選任した代理人】  
【識別番号】 100114834  
【弁理士】  
【氏名又は名称】 幅 慶司  
【電話番号】 078-321-8822

【選任した代理人】

【識別番号】 100122264  
【弁理士】  
【氏名又は名称】 内山 泉  
【電話番号】 078-321-8822

【選任した代理人】

【識別番号】 100125645  
【弁理士】  
【氏名又は名称】 是枝 洋介  
【電話番号】 078-321-8822

【手数料の表示】

【予納台帳番号】 006220  
【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0400644

## 【書類名】特許請求の範囲

### 【請求項 1】

第1の電極と第2の電極と制御電極と信号出力電極とを有するとともに、前記第1の電極と前記信号出力電極との間に介在し前記制御電極への入力信号に応じて導通し又は非導通となるトランジスタ素子部と、前記信号出力電極と前記第2の電極との間に介在する抵抗素子部とを構成する第1の半導体領域を有し、前記第1の半導体領域がワイドバンドギャップ半導体により構成されている2つのレベルシフトスイッチと、

カソード側電極およびアノード側電極と第2の半導体領域とを有し、前記第2の半導体領域がワイドバンドギャップ半導体により構成されているダイオードとを備えている半導体装置。

### 【請求項 2】

各々の前記レベルシフトスイッチは、

前記第1の半導体領域が、第1導電型のワイドバンドギャップ半導体基板と、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と間隔を置いて前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、

前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、

前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されている請求項1記載の半導体装置。

### 【請求項 3】

前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域が設けられている請求項2記載の半導体装置。

### 【請求項 4】

2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードの前記カソード側電極とが一体化されて共通電極として設けられている請求項1から3のうちいずれか1項に記載の半導体装置。

### 【請求項 5】

2つの前記レベルシフトスイッチの第1の半導体領域と前記ダイオードの第2の半導体領域とが、同一のワイドバンドギャップ半導体基板およびその上に形成されたワイドバンドギャップ半導体領域からなる請求項1記載の半導体装置。

### 【請求項 6】

各々の前記レベルシフトスイッチは、

前記第1の半導体領域の前記ワイドバンドギャップ半導体基板が第1導電型であり、前記第1の半導体領域の前記ワイドバンドギャップ半導体領域が、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と間隔を置いて前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、

前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導

体基板の裏面に形成され、

前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されている請求項5記載の半導体装置。

#### 【請求項7】

前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域が設けられている請求項6記載の半導体装置。

#### 【請求項8】

2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードのカソード側電極とが一体化された共通電極として前記ワイドバンドギャップ半導体基板の裏面側に配置され、2つの前記レベルシフトスイッチの前記第1の電極と前記信号出力電極と前記ダイオードのアノード側電極とが前記ワイドバンドギャップ半導体基板の表面側に配置されている請求項5から7のうちいずれか1項に記載の半導体装置。

#### 【請求項9】

2つの前記レベルシフトスイッチおよび前記ダイオードの各々は、前記ワイドバンドギャップ半導体基板の表面側においてメサ構造またはp n接合により素子分離されている請求項5から8のうちいずれか1項に記載の半導体装置。

#### 【請求項10】

前記ダイオードは、前記アノード側電極がショットキー電極となるショットキーダイオードである請求項1から9のうちいずれか1項に記載の半導体装置。

#### 【請求項11】

前記ワイドバンドギャップ半導体が炭化珪素である請求項1から10のうちいずれか1項に記載の半導体装置。

#### 【請求項12】

直流電圧が印加される高電位側電源線と低電位側電源線との間に、前記高電位側電源線に高電位側電極が接続されハイサイドのゲートドライブ信号に基づいてオンオフ制御されるハイサイドのパワースイッチング素子と、前記低電位側電源線に低電位側電極が接続されローサイドのゲートドライブ信号に基づいてオンオフ制御されるローサイドのパワースイッチング素子とが直列接続され、前記ハイサイドのパワースイッチング素子の低電位側電極と前記ローサイドのパワースイッチング素子の高電位側電極とに接続される出力端子が備えられたインバータ主回路部と、

ローサイドのゲートドライブ用電源から電源電圧が供給され、前記ローサイドのパワースイッチング素子をオンオフ制御するためのローサイド制御信号に基づいて前記ローサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するローサイドのゲートドライブ回路と、

前記出力端子に一方の電極が電気的に接続されたコンデンサと、

カソード側電極が前記コンデンサの他方の電極と接続され前記ローサイドのパワースイッチング素子がオンしたときにアノード側電極に前記ローサイドのゲートドライブ用電源からの電流が流れ込むダイオードと、

第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電気的に接続され、前記第2の電極が前記コンデンサの他方の電極と電気的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の開始時に前記制御電極に第1のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第1のパルスよりも高い電位を有する第2のパルスが前記信号出力電極から出力される第1のレベルシフトスイッチと、

第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電気的に接続され、前記第2の電極が前記コンデンサの他方の電極と電気的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の終了時

に前記制御電極に第3のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第3のパルスよりも高い電位を有する第4のパルスが前記信号出力電極から出力される第2のレベルシフトスイッチと、

前記コンデンサの両端の電圧が電源電圧として供給され、前記第1のレベルシフトスイッチの前記信号出力電極から出力される前記第2のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオンさせ、前記第2のレベルシフトスイッチの前記信号出力電極から出力される前記第4のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオフさせるためのハイサイド制御信号を生成し出力する信号生成回路と、

前記コンデンサの両端の電圧が電源電圧として供給され、前記信号生成回路から出力される前記ハイサイド制御信号に基づいて前記ハイサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するハイサイドのゲートドライブ回路と

を1組以上備えたインバータ装置に用いられ、

前記第1および第2のレベルシフトスイッチと前記ダイオードとを構成する請求項1から11のうちいずれか1項に記載の半導体装置と前記ローサイドのパワースイッチング素子とを実装し前記出力端子と電気的に接続される導電性実装基板と、前記一方の電極が前記導電性実装基板と接続され前記他方の電極が前記半導体装置の2つの前記レベルシフトスイッチの前記第2の電極および前記ダイオードの前記カソード側電極と電気的に接続された前記コンデンサと、前記導電性実装基板に低電位側電極が電気的に接続された前記ハイサイドのパワースイッチング素子と、前記半導体装置の2つの前記レベルシフトスイッチの前記信号出力電極と前記コンデンサとに電気的に接続された前記信号生成回路と、前記信号生成回路と前記ハイサイドのパワースイッチング素子と前記コンデンサとに電気的に接続された前記ハイサイドのゲートドライブ回路とを1組以上備えているモジュール。

#### 【請求項13】

前記コンデンサがチップコンデンサであり、前記チップコンデンサが前記導電性実装基板上に実装され、前記チップコンデンサ上に前記半導体装置が積層実装されている請求項12記載のモジュール。

#### 【請求項14】

前記ローサイドのパワースイッチング素子と前記チップコンデンサと前記半導体装置とが搭載された導電性実装基板が、前記ハイサイドのパワースイッチング素子の低電位側電極上に積層実装されている請求項13記載のモジュール。

#### 【請求項15】

前記ハイサイドのパワースイッチング素子上に、前記信号生成回路および前記ハイサイドのゲートドライブ回路を構成するチップが積層実装されている請求項12から14のうちいずれか1項に記載のモジュール。

#### 【請求項16】

第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と間隔を置いて前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域と、前記ソース領域上に形成された第1の電極と、前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成された制御電極と、前記リサーブ領域上に形成された信号出力電極と、前記半導体基板の裏面に形成された第2の電極とを備えている半導体装置。

#### 【請求項17】

前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーブ領域とを連結するように形成された第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域が設けられている請求項16記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置及びそれを用いたモジュール

【技術分野】

【0001】

本発明は、主として炭化珪素（SiC），GaN，ダイヤモンド等のワイドバンドギャップ半導体を用いて構成される半導体装置及びそれを用いたモジュールに関する。

【背景技術】

【0002】

従来の半導体装置を用いたモジュールの一例としてモータ制御に用いられるインバータの概念図を図8に示す。この図8に示すように、モータ1などを制御する半導体素子（パワー素子）をICおよびモジュールとして用いる場合においては、たとえば制御・ロジック系の低電圧電源2で駆動する低電圧半導体回路からなる制御回路3と、高電圧電源4から供給される高電圧大電流を扱うパワースイッチング素子5H, 5Lをワンチップに一体化する、または同じパッケージに実装する技術が難しく、工業的に広く用いられるICおよびモジュールは数少なかった。現状のSi半導体技術で形成されているパワーICおよびモジュールは、低電圧素子と高電圧素子を電気的に素子分離する絶縁分離技術を駆使して、かなり複雑なプロセスにより形成される。

【0003】

特にインテリジェント・パワー・モジュール（IPM）と呼ばれる半導体装置（例えば非特許文献1参照）においては、モータ1などを制御するインバータのパワースイッチング素子（IGBTまたはMOSFET等）のうちハイサイドのパワースイッチング素子5Hのゲートドライブ回路6が、アース電位に対して浮いて高電位状態で動作する必要があり、高電位フローティング電源7も必要である。これは、負荷につながっているハイサイドのパワースイッチング素子5Hとローサイドのパワースイッチング素子5Lとの接続部の電位がパワースイッチング素子の状態によって常に変動しており、この変動している電位に対してハイサイド側のパワースイッチング素子5Hのゲート電位を供給してスイッチング制御をする必要があるからである。このために、制御回路3から送られてくるアース電位を基準にしたシグナルを、高電位フローティング状態のゲートドライブ回路6に受け渡すレベルシフト技術が必要である。

【非特許文献1】パワーデバイス・パワーICハンドブック コロナ社 電気学会

高性能高機能パワーデバイス・パワーIC調査専門委員会編 P. 218

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来のインバータにおいて、Siパワー素子を駆動するためのレベルシフト回路として代表的なのが図8に示したフォトカプラを用いる方式である。これは、制御回路3から送られてくるアース電位を基準にしたシグナルによりLED（発光ダイオード）9が発光し、その光がフォトダイオード8に照射されることによりフォトダイオード8で発生する光電位をシグナルとしてハイサイドのパワースイッチング素子5Hのゲートをドライブする方式である。このようにフォトカプラを用いることにより、高電位フローティング状態のゲートドライブ回路6へシグナルを伝送することができる。フォトカプラは、ハイサイドのパワースイッチング素子1つについて1個必要で、たとえば図8の3相出力のドライブ回路においては、少なくとも3個のフォトカプラと3個のハイサイドゲートドライブ用の電源が必要である。

【0005】

一方、ローサイドのパワースイッチング素子5Lのゲートドライブ回路10は、低電圧の回路であり、ハイサイドの場合のようにフローティングされた3つの独立の電源を必要としない。1つのローサイド用の電源11の電圧がドライブ回路10により、3つのローサイドのパワースイッチング素子5Lに供給されインバータ制御される。

【0006】

上記の方式では、ハイサイド側の3つのパワースイッチング素子5H、ゲートドライブ回路6、フローティング電源7、およびレベルシフト回路（フォトダイオード8、LED9）は、実装面である程度の容積を必要とし、モジュールが大型になるという欠点があった。通常、従来のSiパワー素子では、10Aのスイッチング素子で $5 \times 5 \text{ mm}^2$ の大きさを必要とし、ここに、別チップに形成されたゲートドライブ回路6、フォトダイオード8を実装する。この場合、パワースイッチング素子5Hからの発熱を考慮して、他の回路素子はパワースイッチング素子5Hからの発熱の影響を受けない、独立した放熱機構に実装される。更にフォトダイオード8に光を照射するLED9も別に実装され、フローティング電源7（例えばブートストラップフローティング電源）として、高耐圧のダイオードと抵抗とコンデンサが実装される。これらの素子部品をハイサイド側に3セット、熱放出を考慮して実装させるため、相当の容積を必要とし、10アンペア[A]級のインバータモジュールで $5 \times 5 \text{ cm}^2$ 以上の大きさを必要としていた。

#### 【0007】

上記フォトカプラーを用いる方式以外のレベルシフト回路として、ゲートドライブICを使用する場合もある。このゲートドライブICは接合分離技術を用い、Siを用いて形成された高耐圧レベルシフタとフリップフロップ回路を統合した高耐圧集積回路である。このゲートドライブICの動作原理について次に述べる。入力されたハイサイドのゲートドライブシグナルは、パルスジェネレータにより立ち上がり部と立ち下がり部のパルスに分けられ、これらの2つのパルスシグナルがレベルシフタを介してフローティング状態のフリップフロップ回路に入力され、このフリップフロップの出力によりハイサイドのゲートドライブ回路を駆動する。この場合、電源としては、例えばブートストラップ電源を用いる。

#### 【0008】

ここで従来は、高耐圧のレベルシフタやフローティング状態のフリップフロップ回路などを、接合分離などの技術を用いて高耐圧を確保したSiデバイスで構成する必要があり、数百Vから1.2kV程度であっても、特殊なデバイス構造を形成する必要があり、形成方法も複雑で素子も大型化していた。

#### 【0009】

また、上記レベルシフタは、例えば図1に示すような、抵抗Raを接続したレベルシフトスイッチ28aおよび抵抗Rbを接続したレベルシフトスイッチ28bとして構成されており、この場合、抵抗Ra、抵抗Rbをレベルシフトスイッチ28a、28bに接続しなければならず、そのための配線および配線工程も必要であり、また、外付けの抵抗Ra、Rbが必要となるため、レベルシフタの小型化を妨げることにもなっていた。

#### 【0010】

本発明は上記のような課題を解決するためになされたもので、インバータ装置の小型化を図るために有用な半導体装置、及び当該半導体装置に用いられるレベルシフタ、更に当該半導体装置を用いたモジュールを提供することを目的としている。

#### 【課題を解決するための手段】

#### 【0011】

上記課題を解決するために、本発明の半導体装置は、第1の電極と第2の電極と制御電極と信号出力電極とを有するとともに、前記第1の電極と前記信号出力電極との間に介在し前記制御電極への入力信号に応じて導通し又は非導通となるトランジスタ素子部と、前記信号出力電極と前記第2の電極との間に介在する抵抗素子部とを構成する第1の半導体領域を有し、前記第1の半導体領域がワイドバンドギャップ半導体により構成されている2つのレベルシフトスイッチと、カソード側電極およびアノード側電極と第2の半導体領域とを有し、前記第2の半導体領域がワイドバンドギャップ半導体により構成されているダイオードとを備えている。

#### 【0012】

このように、ワイドバンドギャップ半導体を用いて形成されたレベルシフトスイッチおよびダイオードは高耐圧で小型化が可能であり、高温下でも動作可能である。したがって

半導体装置の小型化が図れ、これを用いたモジュール及びそのモジュールを用いたインバータ装置等の小型化が可能となる。また、本発明におけるレベルシフトスイッチは、従来、外付けされていた抵抗を上記の抵抗素子部としてチップ内部に形成しているので、外付け抵抗およびその配線を省略することができ、装置の小型化および配線工程の簡略化に寄与する。

#### 【0013】

本発明の半導体装置において、各々の前記レベルシフトスイッチは、前記第1の半導体領域が、第1導電型のワイドバンドギャップ半導体基板と、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と間隔を置いて前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されていることが好ましい。

#### 【0014】

この場合、前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域が設けられてあってもよく、これによりトランジスタ素子部のしきい値電圧を調整することができる。

#### 【0015】

また、本発明の半導体装置において、2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードの前記カソード側電極とが一体化されて共通電極として設けられていることが好ましい。このように共通電極とすることにより、電極の接続工程を省略できる。

#### 【0016】

また、本発明の半導体装置において、2つの前記レベルシフトスイッチの第1の半導体領域と前記ダイオードの第2の半導体領域とが、同一のワイドバンドギャップ半導体基板およびその上に形成されたワイドバンドギャップ半導体領域からなることが好ましい。これにより、2つのレベルシフトスイッチとダイオードを1つのチップで構成できる。

#### 【0017】

この場合、各々の前記レベルシフトスイッチは、前記第1の半導体領域の前記ワイドバンドギャップ半導体基板が第1導電型であり、前記第1の半導体領域の前記ワイドバンドギャップ半導体領域が、前記ワイドバンドギャップ半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と間隔を置いて前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを有し、前記第1の電極が前記ソース領域上に形成され、前記制御電極が前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成され、前記信号出力電極が前記リサーフ領域上に形成され、前記第2の電極が前記ワイドバンドギャップ半導体基板の裏面に形成され、前記ウェル領域と前記ソース領域と前記リサーフ領域とで前記トランジスタ素子部が構成され、前記リサーフ領域と前記一部領域を含む前記ドリフト層と前記ワイドバンドギャップ半導体基板とで前記抵抗素子部が構成されていることが好ましい。

## 【0018】

この場合、前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するようにワイドバンドギャップ半導体により構成された第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域が設けられてあってもよく、これによりトランジスタ素子部のしきい値電圧を調整することができる。

## 【0019】

また、2つの前記レベルシフトスイッチの前記第2の電極と前記ダイオードのカソード側電極とが一体化された共通電極として前記ワイドバンドギャップ半導体基板の裏面側に配置され、2つの前記レベルシフトスイッチの前記第1の電極と前記信号出力電極と前記ダイオードのアノード側電極とが前記ワイドバンドギャップ半導体基板の表面側に配置されていることが好ましい。このように共通電極とすることにより、電極の接続工程を省略できる。

## 【0020】

また、2つの前記レベルシフトスイッチおよび前記ダイオードの各々は、前記ワイドバンドギャップ半導体基板の表面側においてメサ構造またはpn接合により素子分離されていることが好ましい。

## 【0021】

また、以上の本発明の半導体装置において、前記ダイオードは、前記アノード側電極がショットキー電極となるショットキーダイオードであることが好ましい。ショットキーダイオードを用いることで順方向電圧降下が小さく、高速動作が可能となる。

## 【0022】

また、以上の本発明の半導体装置において、ワイドバンドギャップ半導体が炭化珪素であることが好ましい。

## 【0023】

本発明のモジュールは、直流電圧が印加される高電位側電源線と低電位側電源線との間に、前記高電位側電源線に高電位側電極が接続されハイサイドのゲートドライブ信号に基づいてオンオフ制御されるハイサイドのパワースイッチング素子と、前記低電位側電源線に低電位側電極が接続されローサイドのゲートドライブ信号に基づいてオンオフ制御されるローサイドのパワースイッチング素子とが直列接続され、前記ハイサイドのパワースイッチング素子の低電位側電極と前記ローサイドのパワースイッチング素子の高電位側電極とに接続される出力端子が備えられたインバータ主回路部と、ローサイドのゲートドライブ用電源から電源電圧が供給され、前記ローサイドのパワースイッチング素子をオンオフ制御するためのローサイド制御信号に基づいて前記ローサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するローサイドのゲートドライブ回路と、前記出力端子に一方の電極が電気的に接続されたコンデンサと、カソード側電極が前記コンデンサの他方の電極と接続され前記ローサイドのパワースイッチング素子がオンしたときにアノード側電極に前記ローサイドのゲートドライブ用電源からの電流が流れ込むダイオードと、第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電気的に接続され、前記第2の電極が前記コンデンサの他方の電極と電気的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の開始時に前記制御電極に第1のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第1のパルスよりも高い電位を有する第2のパルスが前記信号出力電極から出力される第1のレベルシフトスイッチと、第1の電極と第2の電極と制御電極と信号出力電極とを備え、前記第1の電極が前記低電位側電源線と電気的に接続され、前記第2の電極が前記コンデンサの他方の電極と電気的に接続され、前記ハイサイドのパワースイッチング素子をオンさせるべき期間の終了時に前記制御電極に第3のパルスが入力されることにより、前記コンデンサの他方の電極の電位に応じた電位であり、かつ前記第3のパルスよりも高い電位を有する第4のパルスが前記信号出力電極から出力される第2のレベルシフトスイッチと、前記コンデンサの両端の電圧が電源電圧として供

給され、前記第1のレベルシフトスイッチの前記信号出力電極から出力される前記第2のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオンさせ、前記第2のレベルシフトスイッチの前記信号出力電極から出力される前記第4のパルスのタイミングに基づいて前記ハイサイドのパワースイッチング素子をオフさせるためのハイサイド制御信号を生成し出力する信号生成回路と、前記コンデンサの両端の電圧が電源電圧として供給され、前記信号生成回路から出力される前記ハイサイド制御信号に基づいて前記ハイサイドのパワースイッチング素子のゲートドライブ信号を生成し出力するハイサイドのゲートドライブ回路とを1組以上備えたインバータ装置に用いられ、前記第1および第2のレベルシフトスイッチと前記ダイオードとを構成する請求項1から11のうちいずれか1項に記載の半導体装置と前記ローサイドのパワースイッチング素子とを実装し前記出力端子と電気的に接続される導電性実装基板と、前記一方の電極が前記導電性実装基板と接続され前記他方の電極が前記半導体装置の2つの前記レベルシフトスイッチの前記第2の電極および前記ダイオードの前記カソード側電極と電気的に接続された前記コンデンサと、前記導電性実装基板に低電位側電極が電気的に接続された前記ハイサイドのパワースイッチング素子と、前記半導体装置の2つの前記レベルシフトスイッチの前記信号出力電極と前記コンデンサとに電気的に接続された前記信号生成回路と、前記信号生成回路と前記ハイサイドのパワースイッチング素子と前記コンデンサとに電気的に接続された前記ハイサイドのゲートドライブ回路とを1組以上備えている。

#### 【0024】

この構成によれば、上記のように小型化の図れる本発明の半導体装置を用いているため、小型のインバータモジュールを実現することができる。

#### 【0025】

本発明のモジュールにおいて、前記コンデンサがチップコンデンサであり、前記チップコンデンサが前記導電性実装基板上に実装され、前記チップコンデンサ上に前記半導体装置が積層実装されていることが好ましい。これにより、モジュールの小型化がより図れる。

#### 【0026】

この場合、前記ローサイドのパワースイッチング素子と前記チップコンデンサと前記半導体装置とが搭載された導電性実装基板が、前記ハイサイドのパワースイッチング素子の低電位側電極上に積層実装されていることが好ましい。これにより、モジュールの小型化がさらにより図れる。

#### 【0027】

また、本発明のモジュールにおいて、前記ハイサイドのパワースイッチング素子上に、前記信号生成回路および前記ハイサイドのゲートドライブ回路を構成するチップが積層実装されていることが好ましい。これにより、モジュールの小型化がより図れる。

#### 【0028】

また、本発明の半導体装置は、第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型のドリフト層と、前記ドリフト層表面に一部領域を除いて形成された第2導電型のウェル領域と、前記ウェル領域の表面の所定領域に形成された第1導電型のソース領域と、前記ソース領域と間隔を置いて前記ウェル領域上および前記ドリフト層の前記一部領域上に形成された第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域と、前記ソース領域上に形成された第1の電極と、前記ソース領域と前記リサーフ領域との間の前記ウェル領域上にゲート絶縁膜を介して形成された制御電極と、前記リサーフ領域上に形成された信号出力電極と、前記半導体基板の裏面に形成された第2の電極とを備えている。

#### 【0029】

この構成によれば、制御電極への入力信号に応じて第1の電極に接続されるソース領域とリサーフ領域との間の導通・非導通の制御がなされるトランジスタ素子部が形成され、半導体基板の表面側の信号出力電極と裏面側の第2の電極との間で信号出力電極の直下部分のリサーフ領域と一部領域を含むドリフト層と半導体基板とによる抵抗素子部が形成さ

れる。第1の電極と第2の電極間にある電圧が印加され、トランジスタ素子部が非導通時には信号出力電極に第2の電極と等しい電位が出力され、導通時には、第2の電極と第1の電極間の電圧が上記の抵抗素子部とトランジスタ素子部の内部抵抗とによって分圧された電圧に相当する電位、すなわち、第2の電極の電位より抵抗素子部による電圧降下分低い電位が信号出力電極から出力されるレベルシフトスイッチを実現できる。従来、外付けされていた抵抗を上記の抵抗素子部としてチップ内部に形成しているので、外付け抵抗およびその配線を省略することができ、装置（レベルシフタ）の小型化および配線工程の簡略化を図ることができる。

#### 【0030】

また、本発明の半導体装置において、前記ゲート絶縁膜の直下に、前記第1導電型のソース領域と前記第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域とを連結するように形成された第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域が設けられてあってもよく、これによりトランジスタ素子部のしきい値電圧を調整することができる。

#### 【0031】

なお、本明細書中においていう「ワイドバンドギャップ半導体」とは、伝導帶の下端と価電子帯の上端とのエネルギー差であるバンドギャップが2.0 eV以上である半導体のことを意味する。このようなワイドバンドギャップ半導体としては、炭化珪素（SiC）、GAN、AlN等のIII族窒化物、ダイヤモンド等が挙げられる。

#### 【発明の効果】

#### 【0032】

本発明は、以上に説明した構成を有し、インバータ装置等に用いられその小型化を図ることができる半導体装置及びそれを用いたモジュールを提供することができるという効果を奏する。

#### 【発明を実施するための最良の形態】

#### 【0033】

以下、本発明の実施の形態について図面を参照しながら説明する。

#### (実施の形態)

#### (レベルシフト用回路)

本発明の実施の形態の半導体装置はレベルシフト用回路であり、例えば図8のようにモータを制御するインバータに用いられる。このインバータの回路構成は、図8において、ハイサイドのパワースイッチング素子5Hを制御する部分の構成に特徴を有している。

#### 【0034】

図1は、本発明の実施の形態におけるインバータの回路構成の一例を示す回路図である。図1では、例えば図8のように3組あるローサイドとハイサイドのパワースイッチング素子のうち1組（3相のうちの1相）について抜き出して示している。

#### 【0035】

ハイサイドのパワースイッチング素子25（図8では5H）とローサイドのパワースイッチング素子21（図8では5L）とが直列接続され、その両端に高電圧電源4（図8参照）が接続されている。ローサイドのパワースイッチング素子21は、ゲートドライブ回路10によって制御される。このゲートドライブ回路10を介してゲート電極21gに印加される電圧は、ローサイド用の電源11によって供給される。また、この電源11は、抵抗22、高耐圧ダイオード23、コンデンサ24を介して、ローサイドのパワースイッチング素子21のドレイン電極21dと接続されている。この部分はブートストラップ電源として機能し、ローサイドのパワースイッチング素子21がONの場合に、電源11の電圧がコンデンサ24に蓄えられる。また、ローサイドのパワースイッチング素子21のドレイン電極21dは、出力端子43とハイサイドのパワースイッチング素子25のソース電極25sとに接続されており、ハイサイドのパワースイッチング素子25のドレイン電極25dは、高電圧電源4（図8参照）の高電位側の電位HVが供給される電源線に接続されている。

### 【0036】

コンデンサ24に蓄えられた電圧は、ゲートドライブ回路26及びフリップフロップ回路27の電源電圧として供給される。

### 【0037】

ハイサイドのパワースイッチング素子25のゲート電極25gには、電気的にフローティング状態にあるゲートドライブ回路26により、ハイサイドのパワースイッチング素子25のソース電極25sの電位が、コンデンサ24に蓄えられたソース電極25sの電位よりも高い電位が与えられる。このゲートドライブ回路26に制御信号を供給するのがフリップフロップ回路27であり、フリップフロップ回路27は、nMOSFETからなる2つのレベルシフトスイッチ28a、28bからタイミングの異なるパルス信号28a-out、28b-outが与えられることで、矩形波の制御信号27-outをゲートドライブ回路26へ出力する。2つのレベルシフトスイッチ28aと28bから供給されるパルス信号28a-out、28b-outにより、フリップフロップ回路27から出力される矩形波の立ち上がりとたち下がりのタイミングが決められる。上記矩形波は、ハイサイドのパワースイッチング素子25のゲート制御信号として機能する。2つのレベルシフトスイッチ28a、28bはパルス発生回路30から出力されるパルス信号Sa、Sbによって制御され、パルス発生回路30は制御回路3から出力されるハイサイドの制御信号SHからパルス信号Sa、Sbを生成する。制御回路3は、ハイサイドの制御信号SHをパルス発生回路30へ出力するとともにローサイドの制御信号SLをローサイドのゲートドライブ回路10へ出力する。ローサイドのゲートドライブ回路10は、ローサイドの制御信号SLが例えはハイレベルの間、ローサイド用の電源11の電圧をパワースイッチング素子21のゲート電極21gへ印加し、パワースイッチング素子21をオンさせる。なお、制御回路3から出力されるハイサイドの制御信号SHは、ローサイドの制御信号SLと同様、アース電位を基準にした信号である。

### 【0038】

この回路において、ローサイドとハイサイドのパワースイッチング素子との接続点であるノードFは、スイッチング素子21、25の動作状態により、アース電位から高電圧の正電位HVまで変化するため、ハイサイドのパワースイッチング素子25のゲート電極25gへのゲート制御電圧の供給は、図1の点線Aで囲んだ部分をフローティング状態とし、制御する必要がある。上記フローティング部分に制御シグナルをレベルシフトして供給するのがレベルシフトスイッチ28aと28bである。

### 【0039】

さらに図3を用いて図1に示す構成の動作を詳しく説明する。図3は、図1における各部の信号のタイミングチャートである。

### 【0040】

まず、制御回路3から出力されるローサイドの制御信号SLによってローサイドのゲートドライブ回路10が駆動され、ローサイドのパワースイッチング素子21がON/OFFされる。図3の時刻t1において、ゲートドライブ回路10からゲートバイアス21s-gが与えられ、スイッチング素子21がONし、出力端子43(OUT)およびコンデンサ24の一端(ノード)Fはアース電位となる。この時に、コンデンサ24の一端Fのアース電位に対して、電源11の電位が抵抗22及びダイオード23を介してコンデンサ24の他端に印加され、コンデンサ24が充電されてF-R間の電圧が上昇する。

### 【0041】

時刻t2において、ゲートバイアス21s-gが無くなると、スイッチング素子21がOFFとなり、負荷によって出力端子43(OUT)およびコンデンサ24の一端Fの電位が変化する。コンデンサ24の一端Fの電位が変化してもコンデンサ24に蓄えられた電荷は保存されるため、F-R間の電圧は変化しない。

### 【0042】

時刻t3からt4において、図1に示すように制御回路3からハイサイドの制御信号SHが出力されると、パルス発生回路30は、制御信号SHの立ち上がりおよび立ち下がり

エッジを検出し、立ち上がりエッジの検出に応答してパルス信号 S<sub>a</sub>を発生し、立ち下がりエッジの検出に応答してパルス信号 S<sub>b</sub>を発生する。パルス信号 S<sub>a</sub>が出力されている間レベルシフトスイッチ 28<sub>a</sub>がオンし、そのオンしている間、図 3 のパルス信号 28<sub>a-out</sub>が出力され（時刻 t<sub>3</sub>）、パルス信号 S<sub>b</sub>が出力されている間レベルシフトスイッチ 28<sub>b</sub>がオンし、そのオンしている間、パルス信号 28<sub>b-out</sub>が出力される（時刻 t<sub>4</sub>）。ここで、パルス信号 28<sub>a-out</sub>の電位は、それが出力されるときのコンデンサ 24 の端子（ノード）R の電位と接地電位間の電圧が抵抗 R<sub>a</sub>とレベルシフトスイッチ 28<sub>a</sub>の内部抵抗とによって分圧された電圧に相当する電位、すなわち、コンデンサ 24 の端子 R の電位よりも抵抗 R<sub>a</sub>による電圧降下分低い電位である。同様に、パルス信号 28<sub>b-out</sub>の電位は、それが出力されるときのコンデンサ 24 の端子 R の電位と接地電位間の電圧が抵抗 R<sub>b</sub>とレベルシフトスイッチ 28<sub>b</sub>の内部抵抗とによって分圧された電圧に相当する電位、すなわち、コンデンサ 24 の端子 R の電位よりも抵抗 R<sub>b</sub>による電圧降下分低い電位である。これらのパルス信号 28<sub>a-out</sub>、28<sub>b-out</sub>のパルス電位は、パルス信号 S<sub>a</sub>、S<sub>b</sub>のパルス電位よりも高い電位である。

#### 【0043】

フローティング状態のフリップフロップ回路 27 は、時刻 t<sub>3</sub>で、レベルシフトスイッチ 28<sub>a</sub>からパルス信号 28<sub>a-out</sub>が入力されるとその出力 27<sub>-out</sub>が高レベル側になり、ハイサイドのゲートドライブ回路 26 がその出力 26<sub>-out</sub>をハイサイドのパワースイッチング素子 25 にゲートバイアス 25<sub>s-g</sub>として印加する。ここで、ハイサイドのパワースイッチング素子 25 は ON し、出力端子 43 (OUT) およびコンデンサ 24 の一端 F の電位は高電位 HV となる。

#### 【0044】

時刻 t<sub>4</sub>において、レベルシフトスイッチ 28<sub>b</sub>からパルス信号 28<sub>b-out</sub>がフリップフロップ回路 27 に入力されると、フリップフロップ回路 27 の出力 27<sub>-out</sub>が低レベル側となり、スイッチング素子 25 のゲートバイアス 25<sub>s-g</sub>が無くなり、スイッチング素子 25 が OFF し、負荷によって出力端子 43 (OUT) およびコンデンサ 24 の一端 F の電位は変化する。

#### 【0045】

以降、同様にして上記の時刻 t<sub>1</sub>～t<sub>4</sub>の状態を繰り返し、図 1 の回路をインバータとして機能させることが出来る。

#### 【0046】

また、図 2 のように回路構成を変更してもよい。図 2 では、ブートストラップ電源の一部を構成している抵抗 22 を、ローサイドゲートドライブ用電源 11 に直接接続せずに、ローサイドのゲートドライブ回路 10 の出力に接続している点のみが図 1 と異なる。このように抵抗 22 を接続しても動作は図 1 の場合と同様である。すなわち、図 2 の場合、スイッチング素子 21 を ON させる期間に、ゲートドライブ回路 10 から電源 11 の電圧が出力され、その電源 11 の電圧が出力されている間、スイッチング素子 21 が ON となり、コンデンサ 24 が充電されるので、図 1 の場合と同様である。

#### 【0047】

なお、図 1、図 2 では、ハイサイドの制御信号 SH を入力してパルス信号 S<sub>a</sub>、S<sub>b</sub>を生成するパルス発生回路 30 を設けているが、制御回路 3 がパルス信号 S<sub>a</sub>、S<sub>b</sub>を発生して直接レベルシフトスイッチ 28<sub>a</sub>、28<sub>b</sub>へ入力するように構成してもよい。また、図 1、図 2 では、1 相分の回路構成しか示していないが、複数相例えは 3 相の場合は、制御回路 3 は 3 相分の制御信号 SL、SH を出力するものである。パルス発生回路 30 は各相ごとに設けられるものとしてもよいし、制御回路 3 から各相の制御信号 SH を入力し、パルス発生回路 30 が各相へ振り分けてパルス信号 S<sub>a</sub>、S<sub>b</sub>を出力するように構成してもよい。あるいは、制御回路 3 が各相のパルス信号 S<sub>a</sub>、S<sub>b</sub>を発生して直接各相のレベルシフトスイッチ 28<sub>a</sub>、28<sub>b</sub>へ入力するように構成してもよい。制御回路 3 がパルス信号 S<sub>a</sub>、S<sub>b</sub>を出力する場合は、ハイサイドのパワースイッチング素子 25 を ON させる期間の開始時点にパルス信号 S<sub>a</sub>をレベルシフトスイッチ 28<sub>a</sub>へ出力し、終了時点に

パルス信号S bをレベルシフトスイッチ28 bへ出力するようすればよい。

#### 【0048】

本発明の実施の形態では、図1または図2の破線で囲まれた部分（以下、レベルシフト用回路という）を、同一チップのワイドバンドギャップ半導体基板に集積している（集積チップ29）。このレベルシフト用回路のレベルシフトスイッチ28 a、28 bとダイオード23は耐圧が重要である。レベルシフトスイッチ28 a、28 bは、パワースイッチング素子25のゲート制御回路の一部なので大電流は要求されず、小型のワイドバンドギャップ半導体素子として集積して形成可能である。この耐圧が要求されるゲート制御回路の一部を集積化することにより部品点数を減らし、例えばインバータモジュールを小型化できる。また、この耐圧を要求されるレベルシフト用回路（集積チップ29）は、ブートストラップ電源の一部とレベルシフトスイッチであり、これらは回路的に別機能の回路部分であり、従来、集積化の発想はなかった。

#### 【0049】

また、本発明の実施の形態では、集積化する際、レベルシフトスイッチ28 aと抵抗R aとを1つの素子として構成した抵抗内蔵レベルシフトスイッチ28 Aを形成し、レベルシフトスイッチ28 bと抵抗R bとを1つの素子として構成した抵抗内蔵レベルシフトスイッチ28 Bを形成している。このようにすることで、抵抗内蔵レベルシフトスイッチ28 A、28 Bとダイオード23のそれぞれの一端子が、コンデンサ24の一方の端子Rに共通に結線されているため、同一チップに形成することが容易になる。

#### 【0050】

図4は、集積チップ29の断面視における構造を示す図である。この例では、ダイオード23としてショットキーダイオードを用い、ダイオード23および抵抗内蔵レベルシフトスイッチ28 A、28 Bの各素子間をメサ分離構造により分離している。

#### 【0051】

ダイオード23は、第1導電型（例えばn型）のワイドバンドギャップ半導体基板50 s上に形成された第1導電型のドリフト層50 d表面にショットキーダイオード電極51が配置されたショットキーダイオードであり、メサ分離部52 aで囲むことにより、このショットキーダイオードは他の素子と電気的に分離されている。

#### 【0052】

抵抗内蔵レベルシフトスイッチ28 Aは、ダイオード23とメサ分離部52 aにより分離されてこれと隣接するように、リサーフ構造を含む縦型のMOSFETによって構成されている。第1導電型のドリフト層50 d上に第2導電型（例えばp型）のウェル領域53 a、53 bが一部領域（JFET領域57）を除いて形成されている。この第2導電型のウェル領域53 a中に第1導電型のソース領域54が形成されている。第2導電型のウェル領域53 aの表面に、ソース領域54と連続して第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域55及び第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域56が形成されている。リサーフ領域56は、ウェル領域53 aともう一つの第2導電型のウェル領域53 bに挟まれた第1導電型のJFET領域57に繋がっている。ソース領域54上にはソース電極58 sが設けられ、チャンネル領域55表面はゲート絶縁膜59に覆われ、更にゲート絶縁膜59上にゲート電極58 gが形成されている。また、リサーフ領域56とJFET領域57の接合部分の上部の表面に出力電極58 oが形成されている。

#### 【0053】

抵抗内蔵レベルシフトスイッチ28 Bは、抵抗内蔵レベルシフトスイッチ28 Aとメサ分離部52 bにより分離されてこれと隣接するように、抵抗内蔵レベルシフトスイッチ28 Aと同じ構成で形成されている。なお、集積チップ29上のダイオード23および抵抗内蔵レベルシフトスイッチ28 A、28 Bの配置は図4の例に限られずどのような配置になってもよい。

#### 【0054】

また、この集積チップ29の裏面には、ダイオード23のカソード側電極と抵抗内蔵レ

ベルシフトスイッチ28A、28Bを構成する縦型MOSFETのドレイン電極とが一体化された共通電極58dが形成され、この共通電極58dが図1のコンデンサ24の一端が接続されたノードRへ接続される。本実施の形態では、図4において、電極51、58d、58s、58g、58oおよびゲート絶縁膜59以外の部分は、ワイドバンドギャップ半導体で形成されている。

#### 【0055】

抵抗内蔵レベルシフトスイッチ28A、28Bにおいて、ソース電極58sにはアース電位が印加されるので、ゲート電極58gに電圧を印加せずにソース電極58sの電位と同等の場合は、MOSFETのチャンネル領域55がオフの状態（非導通状態）で、出力電極58oの電位は共通電極58dの電位と等しくなっている。一方、ゲート電極58gに正の電圧を印加しチャンネル領域55がオン（導通状態）の場合は、共通電極58dから基板50s、ドリフト領域50d、JFET領域57、リサーフ領域56、チャンネル領域55、ソース領域54を通ってソース電極58sへ流れる電流により電圧降下が起こり、共通電極58dの電位よりも、共通電極58dと出力電極58o間の電気抵抗（リサーフ領域56の出力電極58oの直下部分とJFET領域57とドリフト領域50dと基板50sの電気抵抗であり、図1の抵抗Ra、Rbに相当）とそこに流れる電流とのかけ算の値分、低い電位が出力電極58oに出力される。このときの出力電極58oの出力電位は、上記共通電極58dと出力電極58o間の電気抵抗（図1の抵抗Ra、Rbに相当）と、出力電極58oとチャンネル領域55間のリサーフ領域56の電気抵抗（図1のレベルシフトスイッチ28a、28bの内部抵抗に略相当）とを設計時に調整しておくことで、所望の電位に設定することが可能である。この抵抗内蔵レベルシフトスイッチ28A、28Bのそれぞれの出力電極58oの電圧が図1のパルス信号28a-out、28b-outとしてフリップフロップ回路27へ入力される。

#### 【0056】

以上のように構成された抵抗内蔵レベルシフトスイッチ28A、28Bは、従来、外付けされていた図1の抵抗Ra、Rbを内蔵した構成であり、外付け抵抗およびその配線を無くすことができ、装置の小型化が図れるとともに外付けのための配線および配線工程を省略することができる。この効果は、本実施の形態のように、抵抗内蔵レベルシフトスイッチ28A、28Bがワイドバンドギャップ半導体を用いて形成される場合に限られず、例えばSi半導体を用いて形成されるような場合にも得られる。

#### 【0057】

なお、ゲート絶縁膜59の直下の第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域55はなくてもかまわないが、チャネル領域55を設けることによりMOSFETのしきい値電圧を調整することができる。特に、本実施の形態のように、SiC等のワイドバンドギャップ半導体を用いて形成される場合、第1導電型又は第1導電型と真性半導体の積層構造のチャネル領域55を設けないとしきい値電圧が高くなるので、チャネル領域55を設けることでしきい値電圧を低くすることができる。

#### 【0058】

また、ダイオード23として、pn接合ダイオードを用いてかまわないが、本実施の形態のように、ショットキーダイオードを用いた方が、順方向電圧降下が小さく、動作の高速化を図ることができる。

#### 【0059】

なお、図4では、メサ分離部52a、52bにより素子分離されているが、メサ分離部52a、52bに代えて、第1導電型のドリフト層50dとpn接合される第2導電型領域からなる素子分離領域を設けてもよい。

#### （インバータモジュール）

上述のレベルシフト用回路からなる集積チップ29を用いて構成したインバータモジュールの概念図を図5、図6、図7に示す。この図5、図6、図7において、インバータモジュールの負荷につなぐ出力端子43(OUT)は、同様に並列して3つあり、3相モータ1(図8参照)などをドライブする。図5、図6、図7において、ローサイドおよびハ

イサイドのパワースイッチング素子21、25は、絶縁膜や電極以外の半導体部分がワイドバンドギャップ半導体で形成され、いずれも裏面側にドレイン電極が形成された縦型構造のnMOSFETからなるチップで構成されている。図5、図6、図7では、ローサイドのパワースイッチング素子21のソース電極21s、ゲート電極21gおよびハイサイドのパワースイッチング素子25のソース電極25s、ゲート電極25gは、チップ表面に形成されている外部接続用のパッドを示す。3つそれぞれのローサイドのパワースイッチング素子21のソース電極21sは、それぞれの集積チップ29に集積されている抵抗内蔵レベルシフトスイッチ28A、28Bのソース電極58s（図4参照）と電気的に接続されるとともに、アース電位が与えられる電源線に接続される。また、それぞれのパワースイッチング素子21の裏面側のドレイン電極はそれぞれの金属板等からなる導電板42と接続されている。各導電板42は、それぞれの出力端子43に接続されるとともに各ローサイドのパワースイッチング素子21と対をなすハイサイドのパワースイッチング素子25のソース電極25sと電気的に接続される。

#### 【0060】

また、3つのハイサイドのパワースイッチング素子25は、共通の金属板等からなる導電板44上に実装されるとともにそれぞれの裏面側のドレイン電極が導電板44と接続されている。この導電板44には高電圧電源4（図8参照）からの高電位側の電位HVが供給される電源線に接続される。ハイサイドのパワースイッチング素子25上には、ゲートドライブ回路26と、集積チップ29に集積されている抵抗内蔵レベルシフトスイッチ28A、28Bの出力電極58o（図4参照）と電気的に接続されるフリップフロップ回路27とが、1つのチップとして積層実装され、フローティング状態で動作する。動作電源は、ブートストラップ電源のコンデンサ24に蓄積された電荷により供給される。ここで、ゲートドライブ回路26およびフリップフロップ回路27は、Si半導体により構成されていてもワイドバンドギャップ半導体で構成されていてもかまわない。このゲートドライブ回路26とフリップフロップ回路27を内蔵したチップは、その裏面にパワースイッチング素子25のソース電極25sと接続するためのパッド、およびゲート電極25gと接続するためのパッドが設けられて、それぞれ接続されている。

#### 【0061】

図5では、集積チップ29をその様子を示すために大きめに示しているが、集積チップ29は、他のパワースイッチング素子21等と異なり、大電流を制御する必要がないため通常1/10以下の小型の素子となる。図5の場合、集積チップ29を、ローサイドのパワースイッチング素子21を実装した導電板42上に、絶縁板31を挟んで積層実装しており、このようにすると配線などがしやすく小型のモジュールが容易に形成できることが確認された。この図5の場合、コンデンサ24は外付けされ、その一方の端子F（図1、図2参照）が導電板42と接続され、他方の端子R（図1、図2参照）が集積チップ29の共通電極58d（図4参照）とゲートドライブ回路26およびフリップフロップ回路27を内蔵したチップとに接続されている。

#### 【0062】

また、図6に示すように、図5の絶縁板31に代えて、例えは積層誘電体コンデンサ等のチップコンデンサ41（＝図1のコンデンサ24）を配置すると、外付けのコンデンサおよびその配線が不要となり、更に小型のモジュールを達成することが出来る。このチップコンデンサ41はチップの上面と下面に電極が設けられており、下面の電極（端子F）が導電板42と直接接続され、上面の電極（端子R）が集積チップ29の共通電極58d（図4参照）と直接接続され、その共通電極58dがゲートドライブ回路26とフリップフロップ回路27を内蔵したチップと配線で接続されている。

#### 【0063】

更に、図7に示すように、ローサイドのパワースイッチング素子21とチップコンデンサ41とチップコンデンサ41上に積層実装された集積チップ29とを実装した導電板42を、ハイサイドのパワースイッチング素子25のソース電極25s上に積層実装すると、さらに小さな容積となりさらなる小型化が達成された。この構成においては、例えは金

属板によって構成される導電板42とハイサイドのパワースイッチング素子25のソース電極25sを結線する必要もなくなり、モジュールの構造も更に単純なものとなる。

#### 【0064】

なお、図5、図6、図7に示された構成に、さらにローサイドのゲートドライブ回路10、ローサイド用の電源11および抵抗22が接続されてモジュールが構成されることになる。図1、図2のいずれの回路構成の場合も、図5、図6、図7において、電源11から電圧供給を受けるローサイドのゲートドライブ回路10の出力線がパワースイッチング素子21のゲート電極21gに接続される。さらに、図1の回路構成の場合、ダイオード23のショットキー電極51と接続され層間絶縁膜（図示せず）を介して集積チップ29の表面に形成されたアノード側電極（パッド）23sに抵抗22の一端が接続され、その抵抗22の他端が電源11に接続されることになる。また、図2の回路構成の場合、集積チップ29の表面に形成されたダイオード23のアノード側電極23sとパワースイッチング素子21のゲート電極21gとの間に抵抗22が接続されることになる。ここで、図1、図2のいずれの回路構成の場合もゲートドライブ回路10は各相個別に必要であるが、図1の回路構成の場合、ローサイド用の電源11および抵抗22は、それぞれ、各相について個別に設けなくても、全相（ここでは3相）で共有するようにして1つだけ設けてもよい。また、図2の回路構成の場合、ゲートドライブ回路10に加えて抵抗22も各相個別に必要であるが、ローサイド用の電源11は、各相について個別に設けなくても、全相（ここでは3相）で共有するようにして1つだけ設けてもよい。

#### 【0065】

以上の図5、図6、図7では、抵抗内蔵レベルシフトスイッチ28A、28Bとブートストラップダイオード23の3つの素子を集積化したチップ29を用いた場合について説明したが、これら3つの素子が集積化されずにそれぞれ独立の個別チップであってもよく、ワイドバンドギャップ半導体により構成された回路部品は、熱の伝導が良好で加熱しにくい上に、たとえ加熱して400°C程度となっても正常に動作するため、積層実装することが可能であり、モジュールの小型化に寄与する。

#### 【0066】

また、上記の集積チップ29およびパワースイッチング素子21、25のチップをワイドバンドギャップ半導体を用いて構成し、上記のインバータモジュールを構成した場合、集積チップ29部分およびパワースイッチング素子21、25のチップをSi半導体を用いて構成し、インバータモジュールを構成した場合に比べて、5分の1以下の大きさの高密度化を達成できることを確認した。

#### 【0067】

また、上記の実施の形態では、ハイサイドおよびローサイドのパワースイッチング素子21、25として、ワイドバンドギャップ半導体を用いて構成されたMOSFETを用いたが、同様にしてワイドバンドギャップ半導体を用いて構成されたIGBT、MISSFET、MESFETなどを用いても同様の省スペース、省エネルギーを満たすモジュールが実現できる。

#### 【0068】

なお、パワースイッチング素子21、25をSi半導体を用いて構成しても、上記の集積チップ29を用いることで、集積チップ29部分をSi半導体を用いて構成するよりも小型化が図れ、インバータモジュールの小型化も可能となる。

#### 【0069】

また、上記の実施の形態では、ハイサイドおよびローサイドのパワースイッチング素子のペアを3組用いた3相インバータ装置を例に説明したが、1組用いる単相ハーフブリッジ回路や2組用いる単相フルブリッジ回路のインバータ装置についても同様に適用できる。

#### 【産業上の利用可能性】

#### 【0070】

本発明に係る半導体装置およびモジュールは、コンパクトに実装された低損失、高効率

、高速動作が可能なパワーデバイスであり、例えば小型のインバータ等に適用でき、省スペース、省エネルギーを実現する次世代パワーエレクトロニクスシステム等に有用である。

### 【図面の簡単な説明】

#### 【0071】

【図1】本発明の実施の形態に係るインバータの回路構成の一例を示す回路図である。

【図2】本発明の実施の形態に係るインバータの回路構成の他の例を示す回路図である。

【図3】本発明の実施の形態に係るインバータの各部の信号のタイミングチャートである。

【図4】本発明の実施の形態に係る半導体装置（集積チップ）の断面図における構造を示す図である。

【図5】本発明の実施の形態に係るインバータモジュールの構成の一例を示す概念図である。

【図6】本発明の実施の形態に係るインバータモジュールの構成の他の例を示す概念図である。

【図7】本発明の実施の形態に係るインバータモジュールの構成の別の他の例を示す概念図である。

【図8】従来のモータ制御に用いられるインバータの概念図である。

### 【符号の説明】

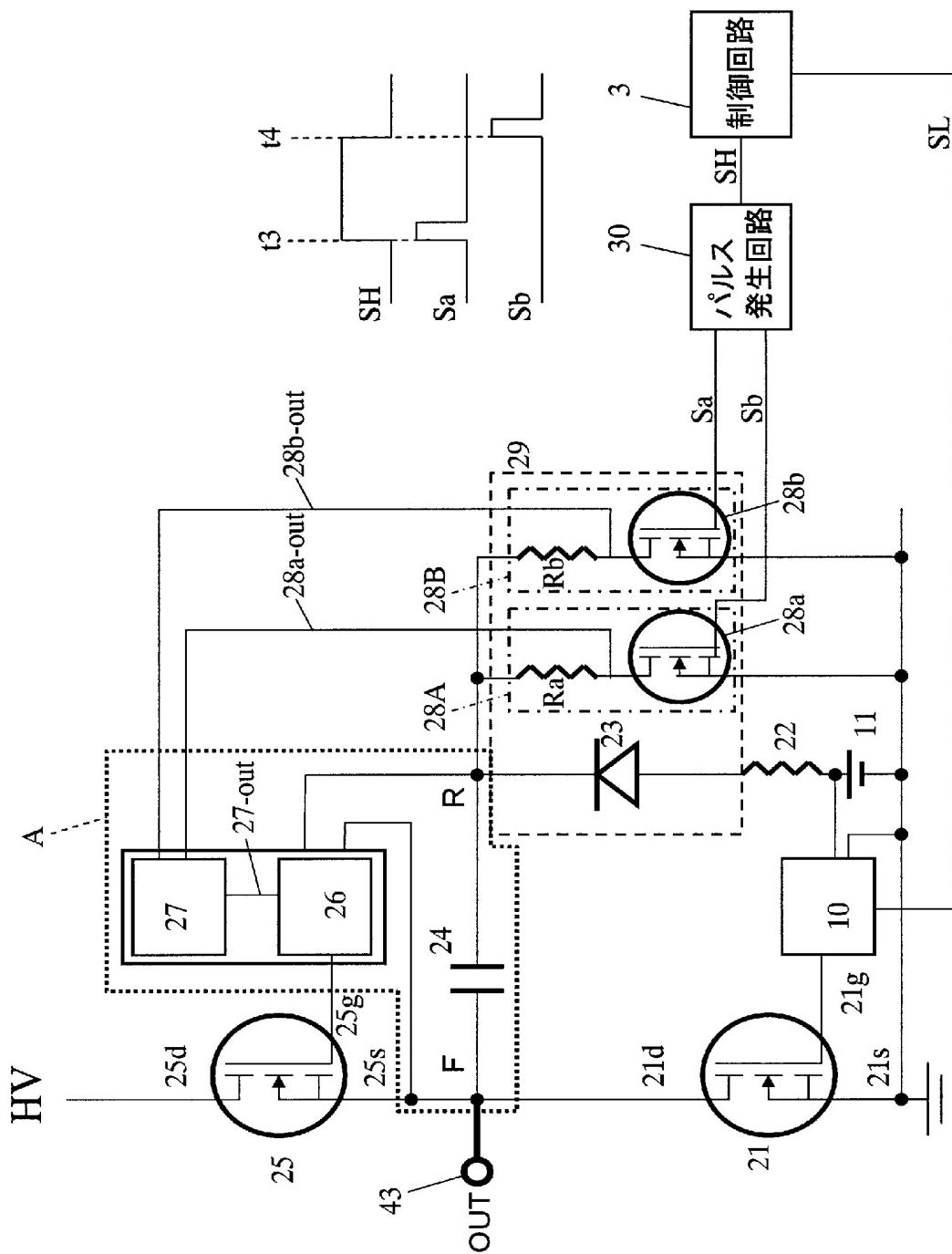
#### 【0072】

- 1 3相モータ
- 2 低電圧電源
- 3 制御回路
- 4 高電圧電源
- 5 H ハイサイドのパワースイッチング素子
- 5 L ローサイドのパワースイッチング素子
- 6 ハイサイドのゲートドライブ回路
- 7 高電位フローティング電源
- 8 フォトダイオード
- 9 LED
- 10 ローサイドのゲートドライブ回路
- 11 ローサイドゲートドライブ用電源
- 21 ローサイドのパワースイッチング素子
- 21 s ソース電極
- 21 g ゲート電極
- 21 d ドレイン電極
- 22 抵抗
- 23 ダイオード
- 24 ブートストラップコンデンサ
- 25 ハイサイドのパワースイッチング素子
- 25 s ソース電極
- 25 g ゲート電極
- 25 d ドレイン電極
- 26 ハイサイドのゲートドライブ回路
- 27 フリップフロップ回路
- 28 A, 28 B 抵抗内蔵レベルシフトスイッチ
- 28 a, 28 b レベルシフトスイッチ
- 29 集積チップ

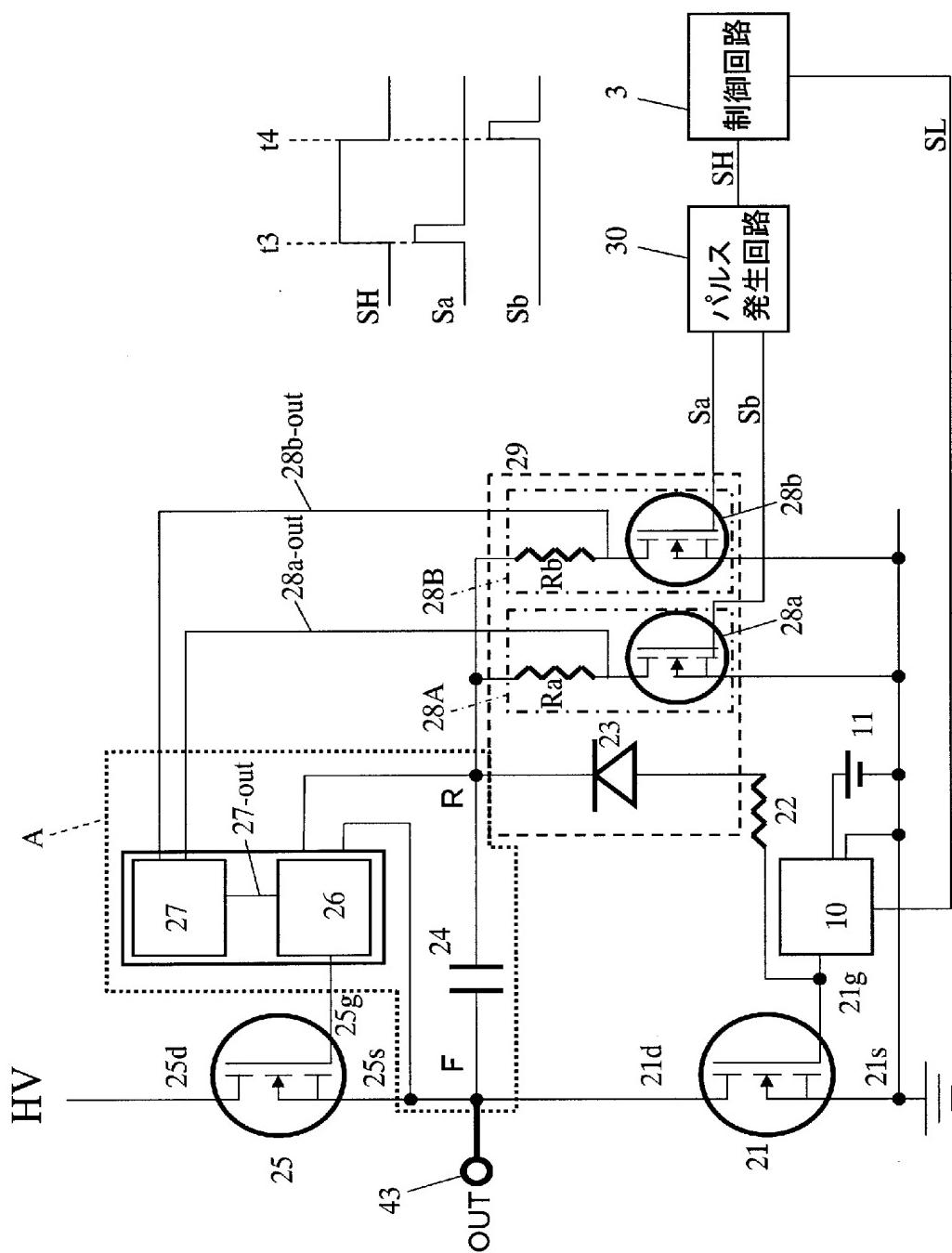
3 1 絶縁板  
4 1 チップコンデンサ  
4 2 導電板  
4 3 インバータ出力端子  
5 0 s 第1導電型のワイドバンドギャップ半導体基板  
5 0 d 第1導電型のドリフト層  
5 1 ショットキー電極  
5 2 a, 5 2 b メサ分離部  
5 3 a, 5 3 b 第2導電型のウェル領域  
5 4 第1導電型のソース領域  
5 5 第1導電型又は第1導電型と真性半導体の積層構造のチャンネル領域  
5 6 第1導電型又は第1導電型と真性半導体の積層構造のリサーフ領域  
5 7 J F E T領域  
5 8 s ソース電極  
5 8 g ゲート電極  
5 8 o 出力電極  
5 8 d 共通電極  
5 9 ゲート絶縁膜

【書類名】図面

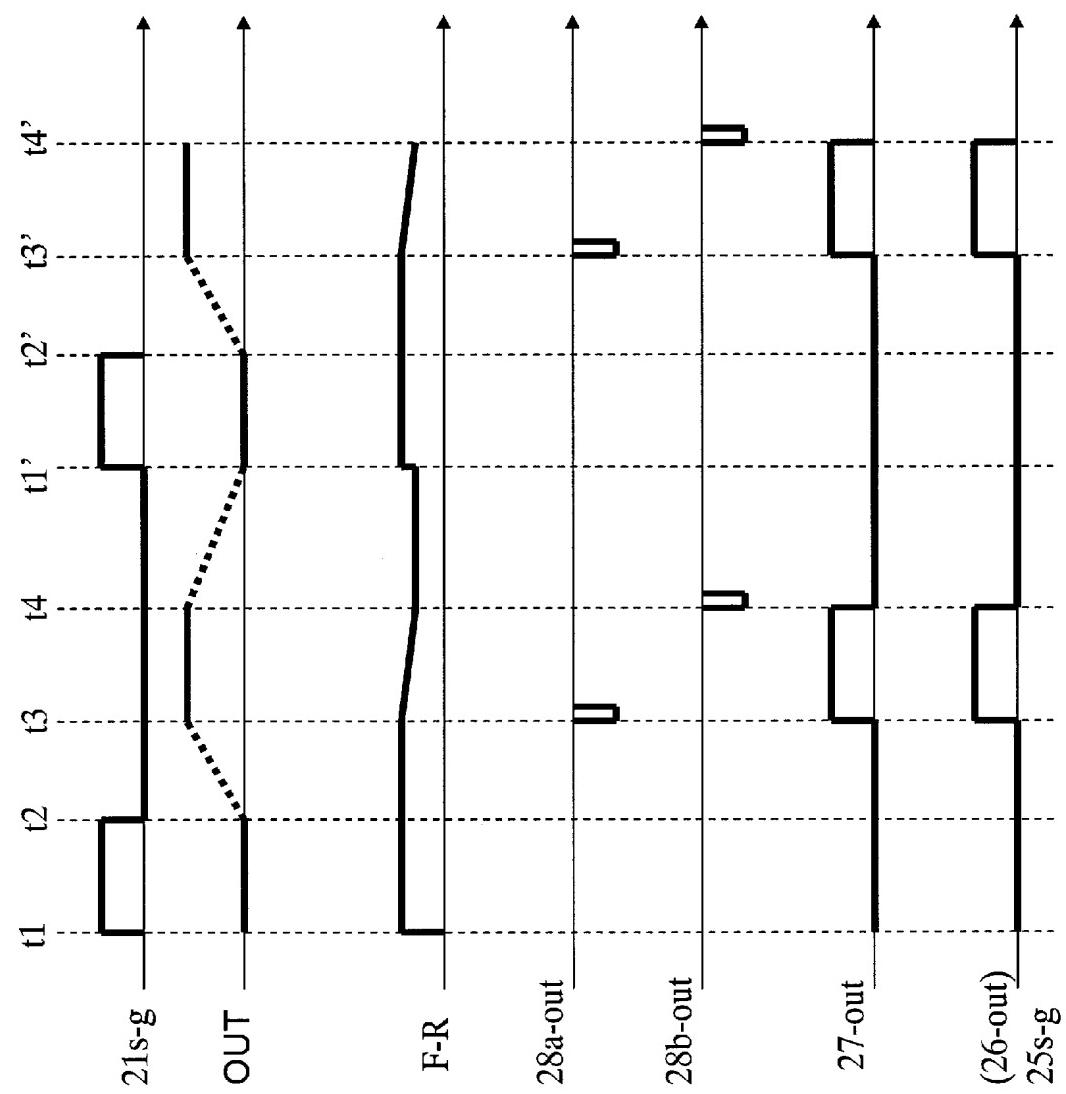
【図 1】



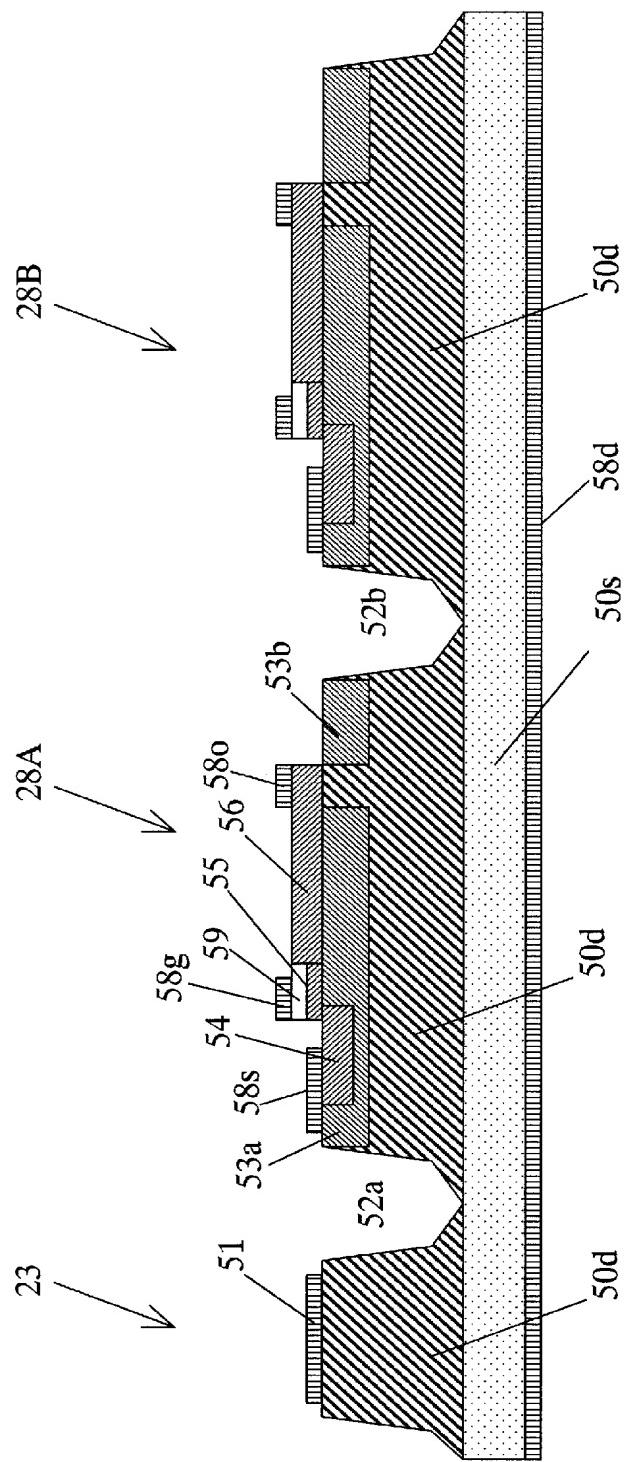
【図 2】



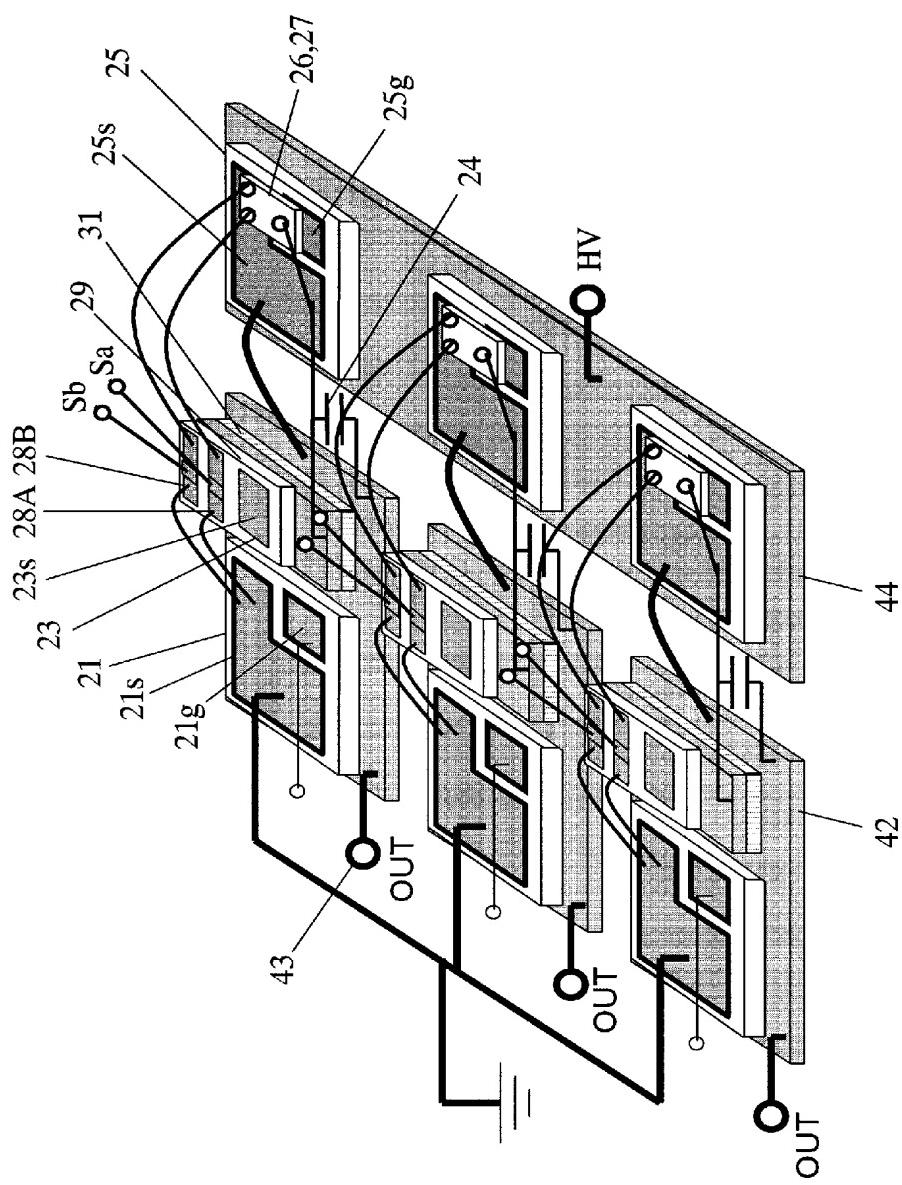
【図 3】



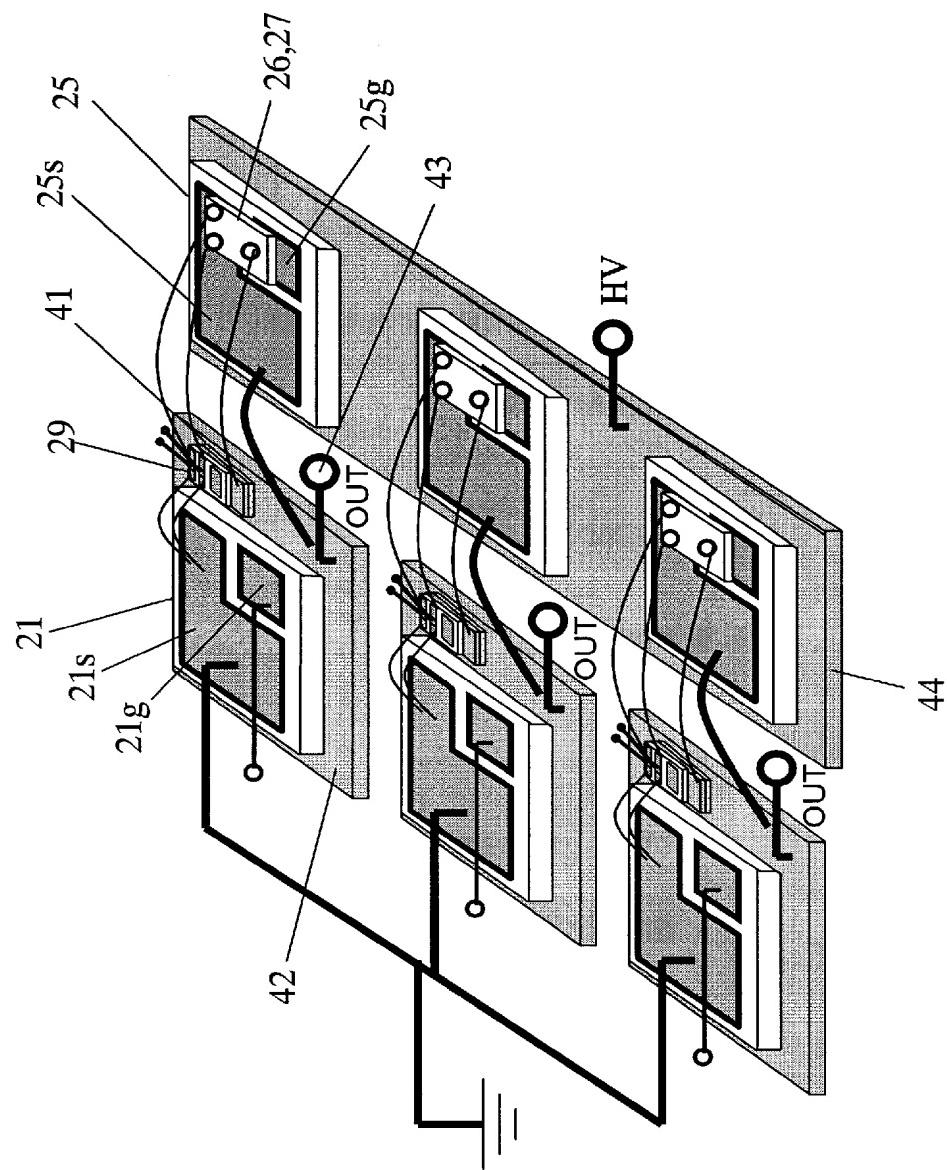
【図 4】



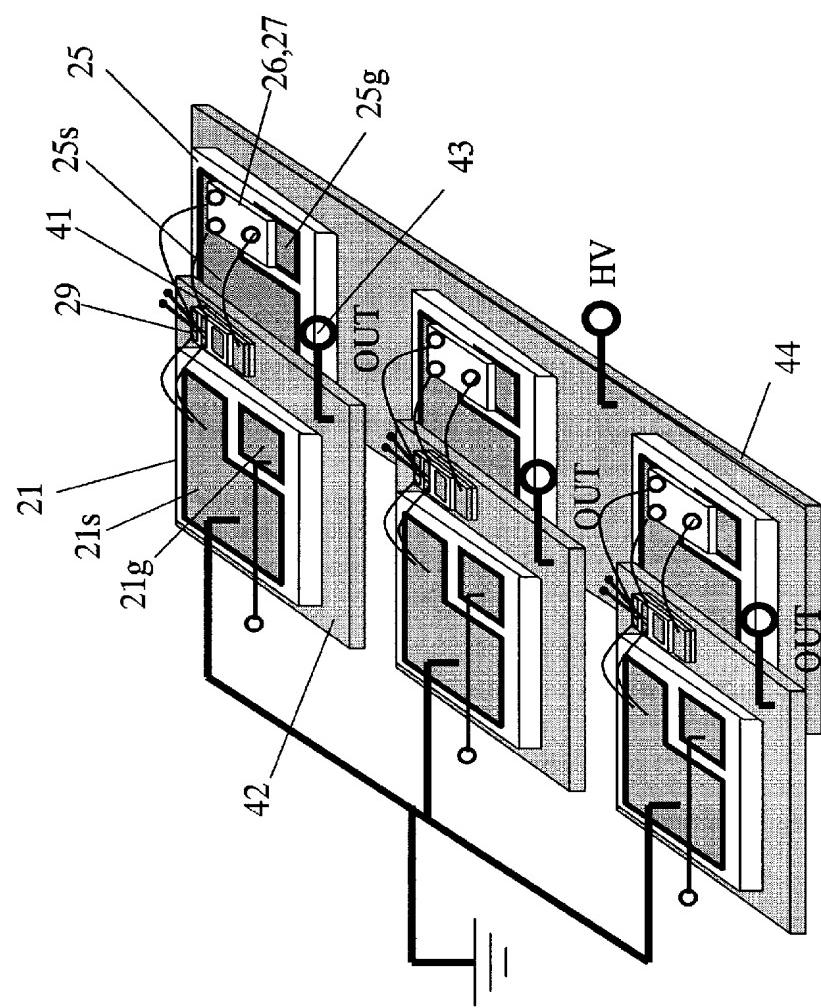
【図 5】



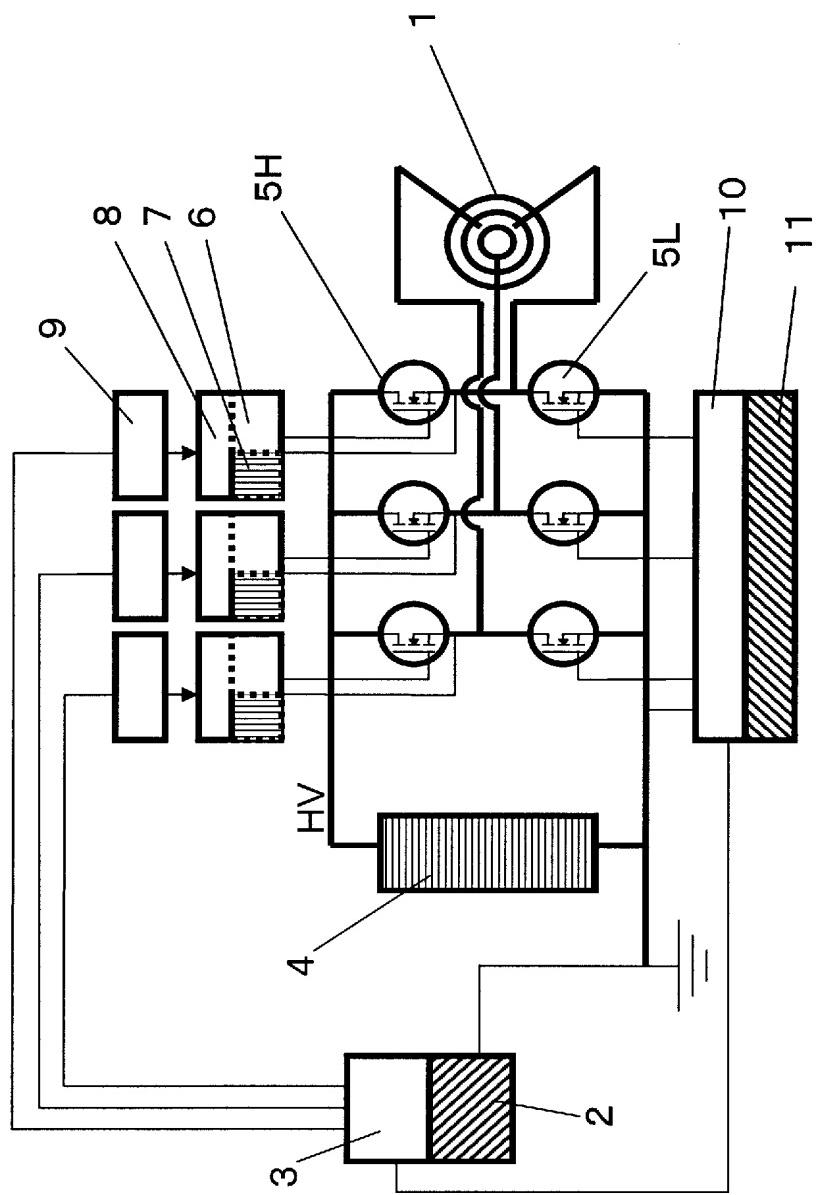
【図 6】



【図 7】



【図 8】



【書類名】要約書

【要約】

【課題】 インバータ装置等に用いられその小型化を図ることができる半導体装置及びそれを用いたモジュールを提供する。

【解決手段】 第1の電極と第2の電極と制御電極と信号出力電極とを有するとともに、前記第1の電極と前記信号出力電極との間に介在し前記制御電極への入力信号に応じて導通・非導通の制御がなされるトランジスタ素子部28a, 28bと、前記信号出力電極と前記第2の電極との間に介在する抵抗素子部Ra, Rbとを構成する第1の半導体領域を有し、前記第1の半導体領域がワイドバンドギャップ半導体により構成されている2つのレベルシフトスイッチ28A、28Bと、カソード側電極およびアノード側電極と第2の半導体領域とを有し、前記第2の半導体領域がワイドバンドギャップ半導体により構成されているダイオード23とを備えている半導体装置29を用いて、インバータモジュールを構成する。

【選択図】 図1

出願人履歴

000005821

19900828

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社